

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0085593
Application Number

출원년월일 : 2002년 12월 27일
Date of Application DEC 27, 2002

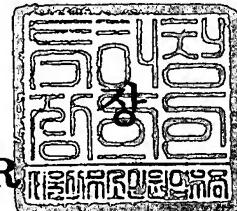
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 04 월 09 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0057
【제출일자】	2002.12.27
【국제특허분류】	G02F 1/13
【발명의 명칭】	액정 표시패널의 데이터 패드부 및 그 제조방법
【발명의 영문명칭】	DATA PAD REGION OF LIQUID CRYSTAL DISPLAY PANEL AND FABRICATING METHOD THEREOF
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	1999-055150-5
【발명자】	
【성명의 국문표기】	박대림
【성명의 영문표기】	PARK, Dae Lim
【주민등록번호】	751003-1797818
【우편번호】	718-814
【주소】	경상북도 칠곡군 약목면 복성리 1008-1 세정빌라 가동 302호
【국적】	KR
【발명자】	
【성명의 국문표기】	황성수
【성명의 영문표기】	HWANG, Seong Soo
【주민등록번호】	710725-1036818
【우편번호】	730-040
【주소】	경상북도 구미시 형곡동 146 풍림아파트 104동 703호
【국적】	KR

【발명자】**【성명의 국문표기】**

문수환

【성명의 영문표기】

MOON, Soo Hwan

【주민등록번호】

740612-1696317

【우편번호】

730-130

【주소】

경상북도 구미시 임은동 대동아파트 1510호

【국적】

KR

【발명자】**【성명의 국문표기】**

김영식

【성명의 영문표기】

KIM, Young Sik

【주민등록번호】

720224-1109119

【우편번호】

718-833

【주소】경상북도 칠곡군 석적면 중리 224-1 LG LCD 중리 기숙사
204동 726호**【국적】**

KR

【취지】특허법 제42조의 규정에 의하여 위와 같이 출원합니다.
다
리인
원 (인) 박장**【수수료】****【기본출원료】**

20 면 29,000 원

【가산출원료】

16 면 16,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

45,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 액정 표시장치의 데이터 패드부 및 그 제조방법에 관한 것으로, 데이터 패드부의 중앙에 제1사이드 콘택을 넓게 형성하여 데이터 패드들을 구성하는 막들의 물리적 접착면적을 최대한 확보하고, 상기 데이터 패드부의 가장자리에 제1사이드 콘택에 비해 면적이 작은 복수의 제2사이드 콘택들을 일정하게 이격되도록 형성하여 데이터 패드들을 구성하는 막들의 전기적 접촉면적을 최대한 확보함으로써, 액정 표시패널의 모듈 공정에서 텁 불량에 따라 데이터 패드부로부터 텁을 떼어낼 때, 데이터 패드부에 형성 된 막들이 박리되는 현상을 방지할 수 있게 된다.

【대표도】

도 9

【명세서】**【발명의 명칭】**

액정 표시패널의 데이터 패드부 및 그 제조방법{DATA PAD REGION OF LIQUID CRYSTAL DISPLAY PANEL AND FABRICATING METHOD THEREOF}

【도면의 간단한 설명】

도1은 일반적인 액정 표시장치의 단위 화소에 대한 평면도.

도2는 도1의 I-I'선을 따라 절단한 단위 화소의 단면을 보인 예시도.

도3은 도1의 II-II'선을 따라 절단한 단위 화소의 단면구성을 보인 예시도.

도4는 고개구율 액정 표시장치의 평면구성을 보인 예시도.

도5는 도4의 III-III'선을 따라 절단한 단면구성을 보인 예시도.

도6은 액정 표시패널의 개략적인 평면구조를 보인 예시도.

도7은 도6에 도시된 데이터 패드부의 일부를 보다 상세히 보인 예시도.

도8a 내지 도8c는 도7의 IV-IV'선을 따라 데이터 패드부를 형성하는 순차적인 단면구성을 보인 예시도.

도9는 본 발명의 제1실시예에 따른 액정 표시패널의 데이터 패드부에 대한 평면구성을 보인 예시도.

도10a 내지 도10c는 도9의 V-V'선을 따라 데이터 패드부를 형성하는 순차적인 단면구성을 보인 예시도.

도11은 본 발명의 제2실시예에 따른 액정 표시패널의 데이터 패드부에 대한 평면구성을 보인 예시도.

도12는 본 발명의 제3실시예에 따른 액정 표시패널의 데이터 패드부에 대한 단면구성을 보인 예시도.

도면의 주요부분에 대한 부호의 설명

202, 202+1: 데이터 라인 215A, 215B: 데이터 패드

SC11: 제1사이드 콘택 SC12~SC15: 제2사이드 콘택

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 액정 표시패널의 데이터 패드부 및 그 제조방법에 관한 것으로, 보다 상세하게는 데이터 패드부의 파손을 방지하고, 전기적 접촉면적을 확보하기에 적당하도록 한 액정 표시패널의 데이터 패드부 및 그 제조방법에 관한 것이다.

<17> 일반적으로, 액정 표시장치는 매트릭스(matrix) 형태로 배열된 단위 화소들에 화상정보에 따른 데이터신호를 개별적으로 공급하여, 그 단위 화소들의 광투과율을 조절함으로써, 원하는 화상을 표시할 수 있도록 한 표시장치이다.

<18> 따라서, 액정 표시장치에는 단위 화소들이 매트릭스 형태로 배열되는 액정 표시패널과; 상기 단위 화소들을 구동하기 위한 드라이버 집적회로(integrated circuit : IC)가 구비된다.

<19> 상기 액정 표시패널은 서로 대향하는 컬러필터(color filter) 기판 및 박막 트랜지스터 어레이 기판과, 그 컬러필터 기판 및 박막 트랜지스터 어레이 기판의 이격 간격에 충진된 액정층으로 구성된다.

- <20> 그리고, 상기 액정 표시패널의 박막 트랜지스터 어레이 기판 상에는 데이터 드라이버 집적회로로부터 공급되는 데이터 신호를 단위 화소들에 전송하기 위한 다수의 데이터 라인들과, 게이트 드라이버 집적회로로부터 공급되는 주사신호를 단위 화소들에 전송하기 위한 다수의 게이트 라인들이 서로 직교하며, 이들 데이터 라인들과 게이트 라인들의 교차부마다 단위 화소들이 정의된다.
- <21> 상기 게이트 드라이버 집적회로는 다수의 게이트 라인들에 순차적으로 주사신호를 공급함으로써, 매트릭스 형태로 배열된 단위 화소들이 1개 라인씩 순차적으로 선택되도록 하고, 그 선택된 1개 라인의 단위 화소들에 상기 데이터 드라이버 집적회로로부터 화상정보에 따른 데이터 신호가 개별적으로 공급된다.
- <22> 한편, 상기 컬러필터 기판 및 박막 트랜지스터 어레이 기판의 대향하는 내측 면에는 각각 공통전극과 화소전극이 형성되어 상기 액정층에 전계를 인가한다. 이때, 화소전극은 박막 트랜지스터 어레이 기판 상에 단위 화소 별로 형성되는 반면에 공통전극은 컬러필터 기판의 전면에 일체화되어 형성된다. 따라서, 공통전극에 전압을 인가한 상태에서 화소전극에 인가되는 전압을 제어함으로써, 단위 화소들의 광투과율을 개별적으로 조절할 수 있게 된다.
- <23> 이와같이 화소전극에 인가되는 전압을 단위 화소 별로 제어하기 위하여 각각의 단위 화소에는 스위칭 소자로 사용되는 박막 트랜지스터가 형성된다.
- <24> 상기한 바와같은 액정 표시장치의 구성요소들을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.
- <25> 먼저, 도1은 일반적인 액정 표시장치의 단위 화소에 대한 평면도이다.

- <26> 도1을 참조하면, 게이트 라인(4-1,4)들이 기판 상에 일정하게 이격되어 행으로 배열되고, 데이터 라인(2,2+1)들이 일정하게 이격되어 열로 배열된다. 따라서, 게이트 라인(4)들과 데이터 라인(2)들은 매트릭스 형태로 배열된다. 이때, 데이터 라인(2)과 게이트 라인(4)의 교차부에 단위 화소가 정의되며, 각각 박막 트랜지스터(TFT)와 화소전극(14)을 구비한다.
- <27> 상기 박막 트랜지스터(TFT)는 상기 게이트 라인(4)의 소정의 위치에서 연장되는 게이트 전극(10)과; 상기 데이터 라인(2)의 소정의 위치에서 연장되어 상기 게이트 전극(10)과 소정의 영역이 오버-랩(overlap)되는 소스 전극(8)과; 상기 게이트 전극(10)을 기준으로 소스 전극(8)과 대응되도록 형성된 드레인 전극(12)을 구비한다.
- <28> 상기 소스 전극(8)과 드레인 전극(12)은 상기 게이트 전극(10) 상에서 일정하게 이격되도록 형성되고, 상기 드레인 전극(12)은 드레인 콘택홀(16)을 통해 화소전극(14)과 전기적으로 접촉된다. 이때, 화소전극(14)은 광투과율이 높은 투명 ITO(indium tin oxide) 물질로 형성된다.
- <29> 또한, 상기 박막 트랜지스터(TFT)는 상기 게이트 전극(10)에 공급되는 주사신호에 의해 소스 전극(8)과 드레인 전극(12) 사이에 도전 채널이 형성될 수 있도록 반도체층(도면상에 도시되지 않음)을 구비한다.
- <30> 따라서, 상기 주사신호가 게이트 라인(4)들을 통해 상기 게이트 전극(10)에 공급되면, 박막 트랜지스터(TFT)의 소스 전극(8)과 드레인 전극(12) 사이에는 도전 채널이 형성되고, 이때 상기 데이터 라인(2)들을 통해 소스 전극(8)에 공급되는 데이터 신호가 도전 채널에 의해 드레인 전극(12)으로 전송된다.

- <31> 그리고, 상기 드레인 전극(12)은 드레인 콘택홀(16)을 통해 화소전극(14)과 접속되어 있기 때문에 드레인 전극(12)에 공급된 데이터 신호가 화소전극(14)에 인가된다.
- <32> 따라서, 데이터 신호가 인가된 화소전극(14)은 컬러필터 기판에 형성되는 공통 투명전극(도면상에 도시되지 않음)과 함께 액정층에 전계를 발생시킨다.
- <33> 상기한 바와같이 액정층에 전계가 인가되면, 액정은 유전 이방성에 의해 회전하여 빛을 투과시키며, 그 투과되는 빛의 양은 데이터 신호의 전압값에 의해 조절된다.
- <34> 한편, 상기 화소전극(14)은 스토리지 콘택홀(22)을 통해 스토리지 전극(20)과 접속되고, 그 스토리지 전극(20)은 전단(前段, preceding) 게이트 라인(4-1)과 게이트 절연막(도면상에 도시되지 않음)을 사이에 두고 오버-랩되어 스토리지 커패시터(18)로 기능한다.
- <35> 따라서, 상기 스토리지 커패시터(18)는 게이트 라인(4)에 주사신호가 인가되는 박막 트랜지스터(TFT)의 턴-온(turn-on) 기간 동안 주사신호의 전압값을 충전시킨 후, 박막 트랜지스터(TFT)의 턴-오프(turn-off) 기간 동안 그 충전된 전압을 상기 화소전극(14)에 공급함으로써, 액정의 구동이 유지되도록 한다.
- <36> 도2는 도1의 I-I'선을 따라 절단한 단위 화소의 단면을 보인 예시도로서, 박막 트랜지스터 어레이 기판(50)과 대향하여 합착되는 컬러필터 기판(60)과; 상기 박막 트랜지스터 어레이 기판(50) 및 컬러필터 기판(60)을 일정하게 이격시키는 스페이서(70)와; 상기 박막 트랜지스터 어레이 기판(50)과 컬러필터 기판(60) 사이의 이격된 공간에 액정이 충진된 액정층(80)으로 구성된다.

- <37> 상기 도2의 예시도를 참조하여 박막 트랜지스터(TFT)의 제조과정을 상세히 설명하면 다음과 같다.
- <38> 먼저, 상기 박막 트랜지스터 어레이 기판(50) 상에 금속물질을 형성한 다음 패터닝하여 게이트 전극(10)을 형성한다.
- <39> 상기 게이트 전극(10)이 형성된 박막 트랜지스터 어레이 기판(50) 상에 절연물질을 전면 증착하여 게이트 절연막(30)을 형성한다.
- <40> 상기 게이트 절연막(30) 상에는 비정질 실리콘(amorphous silicon)으로 이루어진 반도체층(32)과, 인(P)이 고농도로 도핑된 n+ 비정질 실리콘으로 이루어진 오믹접촉층(ohmic contact layer, 34)을 연속 증착한 다음 패터닝하여 박막 트랜지스터(TFT)의 액티브층(36)을 형성한다.
- <41> 상기 게이트 절연막(30)과 오믹접촉층(34) 상에 금속물질을 증착한 다음 패터닝하여 박막 트랜지스터(TFT)의 소스 전극(8)과 드레인 전극(12)을 형성한다. 이때, 소스 전극(8)과 드레인 전극(12)은 액티브층(36)의 상부에서 서로 대응하여 이격되도록 패터닝된다.
- <42> 따라서, 상기 액티브층(36) 상부의 오믹접촉층(34)이 노출되는데, 상기 소스 전극(8)과 드레인 전극(12)의 패터닝 과정에서 노출된 오믹접촉층(34)이 제거된다.
- <43> 상기 오믹접촉층(34)이 제거됨에 따라 반도체층(32)이 노출되는데, 그 노출된 반도체층(32)은 박막 트랜지스터(TFT)의 채널영역으로 정의된다.

- <44> 상기 노출된 반도체층(32)을 포함하여 소스 전극(8)과 드레인 전극(12) 등이 형성된 게이트 절연막(30) 상에 절연물질을 전면 증착하여 보호막(passivation film, 38)을 형성한다.
- <45> 상기 드레인 전극(12) 상의 보호막(38) 일부를 선택적으로 식각하여 드레인 전극(12)의 일부를 노출시키는 드레인 콘택홀(16)을 형성한다.
- <46> 상기 보호막(38) 상에 투명 전극물질을 형성한 다음 패터닝함으로써, 상기 드레인 콘택홀(16)을 통해 드레인 전극(12)에 접속되도록 화소전극(14)을 형성한다.
- <47> 상기 결과물의 전면에 배향막(51)을 형성한 다음 러빙(rubbing)을 실시한다. 이때, 러빙은 천을 균일한 압력과 속도로 배향막(51) 표면과 마찰시킴으로써, 배향막(51) 표면의 고분자 사슬이 일정한 방향으로 정렬되도록 하여 액정의 초기 배향방향을 결정하는 공정을 말한다.
- <48> 한편, 상기 도2의 예시도를 참조하여 스토리지 커패시터 영역의 제조과정을 상세히 설명하면 다음과 같다.
- <49> 먼저, 상기 박막 트랜지스터 어레이 기판(50) 상에 게이트 라인(4-1)을 패터닝하고, 그 상부에 게이트 절연막(30)을 형성한다. 이때, 게이트 라인(4-1)은 상기 박막 트랜지스터(TFT)의 게이트 전극(10)을 형성하는 과정에서 형성되고, 게이트 절연막(30)은 상기 박막 트랜지스터(TFT)의 게이트 절연막(30)과 동일한 막이다.
- <50> 상기 게이트 절연막(30)의 상부에 스토리지 전극(20)을 패터닝한다. 이때, 스토리지 전극(20)은 상기 박막 트랜지스터(TFT)의 소스 전극(8)과 드레인 전극(12)을 형성하

는 과정에서 형성되며, 게이트 절연막(30)을 사이에 두고 게이트 라인(4-1)의 일부영역과 오버-랩되어 스토리지 커패시터(18)로 기능한다.

<51> 상기 스토리지 전극(20)이 형성된 게이트 절연막(30) 상부에 보호막(38)을 형성한 다음 그 보호막(38)의 일부를 식각하여 스토리지 전극(20)의 일부를 노출시키는 스토리지 콘택홀(22)을 형성한다. 이때, 보호막(38)은 상기 박막 트랜지스터(TFT) 영역의 보호막(38)과 동일한 막이고, 스토리지 콘택홀(22)은 상기 박막 트랜지스터(TFT)의 드레인 콘택홀(16)을 형성하는 과정에서 형성된다.

<52> 상기 보호막(38) 상에 화소전극(14)을 패터닝하며, 그 화소전극(14)이 상기 스토리지 콘택홀(22)을 통해 스토리지 전극(20)에 접속된다. 이때, 화소전극(14)은 상기 박막 트랜지스터(TFT) 영역에 형성되는 화소전극(14)과 동일한 전극이다.

<53> 한편, 상기 도2의 예시도를 참조하여 컬러필터 기판(60)의 제조과정을 상세히 설명하면 다음과 같다.

<54> 먼저, 컬러필터 기판(60) 상에 블랙 매트릭스(black matrix, 62)를 일정한 간격으로 이격 도포한다.

<55> 상기 블랙 매트릭스(62)가 형성된 컬러필터 기판(60)의 상부에 적(R), 녹(G), 청(B) 색상의 컬러필터(63)를 형성한다.

<56> 상기 블랙 매트릭스(62)를 포함한 컬러필터(63)의 상부전면에 금속물질을 형성한 다음 패터닝하여 공통전극(64)을 형성한다.

<57> 상기 결과물의 상부전면에 배향막(65)을 형성한 다음 러빙을 실시한다.

- <58> 상기한 바와같이 박막 트랜지스터 어레이 기판(50)과 컬러필터 기판(60)의 제작이 완료되면, 그 박막 트랜지스터 어레이 기판(50) 상에 실링재(도면상에 도시되지 않음)를 인쇄함과 아울러 상기 컬러필터 기판(60) 상에는 스페이서(70)를 형성한다. 이때, 제작자의 의도에 따라 박막 트랜지스터 어레이 기판(50) 상에 스페이서(70)를 형성하고, 컬러필터 기판(60) 상에 실링재를 인쇄할 수 있다.
- <59> 상기 스페이서(70)는 소정의 직경을 갖는 글래스 비드, 플라스틱 비드 등을 균일한 밀도로 산포하는 산포방식을 적용하여 형성한다.
- <60> 상기 실링재 인쇄 및 스페이서(70) 형성이 완료된 박막 트랜지스터 어레이 기판(50)과 컬러필터 기판(60)을 합착한다.
- <61> 상기 합착된 박막 트랜지스터 어레이 기판(50)과 컬러필터 기판(60)을 단위 액정 표시패널로 절단한다. 이때, 단위 액정 표시패널로 절단하는 공정은 대면적의 유리기판에 다수개의 액정 표시패널을 동시에 형성하여 액정 표시장치의 수율 향상을 도모하고 있기 때문에 요구된다.
- <62> 상기 절단된 단위 액정 패널에 액정을 주입하고, 그 주입구를 밀봉함으로써, 박막 트랜지스터 어레이 기판(50)과 컬러필터 기판(60)의 배향막(51,65)이 대향하여 이격된 공간에 액정이 충진된 액정층(80)을 형성한다. 이때, 초기 액정 표시장치의 제조과정에서는 다수개의 액정 패널에 액정을 주입한 다음 단위 액정 패널로 절단하였으나, 단위 액정 패널의 크기가 증가함에 따라 일률적인 액정 주입을 위한 공정 조절이 까다롭고, 액정 주입 불량으로 인한 제품의 생산성이 저하되어 단위 액정 패널로 절단한 다음 액정을 주입하는 방식이 사용되고 있다.

<63> 상기 단위 액정 표시패널은 수백㎠ 면적에 수 μm 의 미세한 셀-갭(cell-gap)을 갖기 때문에 효과적으로 액정을 주입하기 위해서, 단위 액정 패널 내측과 외측의 압력차를 이용한 진공 주입법이 가장 일반적으로 사용된다.

<64> 도3은 상기 도1의 II-II'선을 따라 절단한 단위 화소의 단면구성을 보인 예시도이다.

<65> 도3을 참조하면, 박막 트랜지스터 어레이 기판(50) 상면에 형성된 게이트 절연막(30)과; 상기 게이트 절연막(30)의 상면에 일정하게 이격되도록 패터닝된 데이터 라인(2,2+1)들과; 상기 데이터 라인(2,2+1)들을 포함한 게이트 절연막(30)의 상면에 형성된 보호막(38)과; 상기 데이터 라인(2,2+1)들이 이격되는 영역의 보호막(38)의 상면에 패터닝된 화소전극(14)이 도시되어 있다. 도면에 도시되지는 않았지만, 도2의 박막 트랜지스터 제작과정에서 이미 설명한 반도체층(32) 및 오믹접촉층(34)이 적층된 액티브층(36)이 상기 데이터 라인(2,2+1)들의 하부에 잔류할 수 있다.

<66> 일반적인 액정 표시장치에서는 상기 보호막(38)의 재질로 비교적 박막(薄膜)인 SiNx 등의 무기물질이 적용된다.

<67> 한편, 상기 데이터 라인(2,2+1)들과 화소전극(14)의 일부를 보호막(38)에 의해 오버-랩(overlap)되도록 형성하는 경우에 액정 표시장치의 개구율을 보다 향상시킬 수 있다.

<68> 그러나, 전술한 바와같이 상기 보호막(38)의 재질로 비교적 박막인 SiNx 재질의 무기물질이 적용됨에 따라 데이터 라인(2,2+1)들과 화소전극(14)의 일부가 보호막(38)에

의해 오버-랩되면, 데이터 라인(2,2+1)들과 화소전극(14)이 상호 영향(예를 들어, 기생 용량)을 끼치게 되어 신호특성이 나빠지는 문제점이 있었다.

<69> 따라서, 상기 데이터 라인(2,2+1)들과 화소전극(14)의 일부가 보호막(38)에 오버-랩되는 경우에도 신호특성이 나빠지지 않도록 상기 보호막(38)의 재질로 유전율이 낮은 BCB(benzocyclobutene) 등의 유기물질을 적용하는 고개구울 액정 표시장치가 제안되었다. 이와같은 고개구울 액정 표시장치를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

<70> 도4는 고개구울 액정 표시장치의 평면구성을 보인 예시도이고, 도5는 도4의 III-III'선을 따라 절단한 단면구성을 보인 예시도이다.

<71> 먼저, 도4의 평면구성을 참조하면, 데이터 라인(2,2+1)들과 화소전극(14)의 일부가 오버-랩되어 형성된 것을 제외하면, 전술한 도1의 평면구성과 동일하다.

<72> 그리고, 도5의 단면구성을 참조하면, 박막 트랜지스터 어레이 기판(50) 상면에 형성된 게이트 절연막(30)과; 상기 게이트 절연막(30)의 상면에 일정하게 이격되도록 패터닝된 데이터 라인(2,2+1)들과; 상기 데이터 라인(2,2+1)들을 포함한 게이트 절연막(30)의 상면에 형성된 보호막(48)과; 상기 데이터 라인(2,2+1)들이 이격되는 영역의 보호막(48)의 상면에 상기 데이터 라인(2,2+1)들과 일부가 오버-랩되도록 패터닝된 화소전극(14)이 도시되어 있다. 도면에 도시되지는 않았지만, 도2의 박막 트랜지스터 제작과정에서 이미 설명한 반도체층(32) 및 오믹접촉층(34)이 적층된 액티브층(36)이 상기 데이터 라인(2,2+1)들의 하부에 잔류할 수 있다.

- <73> 상기 데이터 라인(2,2+1)들과 화소전극(14)의 일부를 오버-랩되도록 형성할 수 있는 이유는 전술한 바와같이 유전율이 낮은 BCB 등의 유기물질을 후막(厚膜)으로 형성하여 보호막(48)으로 적용함으로써, 데이터 라인(2,2+1)들과 화소전극(14)이 오버-랩된 영역에서 상호 영향을 끼치는 것을 방지할 수 있기 때문이다.
- <74> 도6은 상기 단위 액정 표시패널의 개략적인 평면구조를 보인 예시도이다.
- <75> 도6을 참조하면, 박막 트랜지스터 어레이 기판(50)의 일측 장변 및 일측 단변이 컬러필터 기판(60)에 비해 돌출되도록 합착된 단위 액정 표시패널(100)은 게이트 라인들과 데이터 라인들이 교차하고, 단위 화소들이 매트릭스 형태로 배열되는 화상 표시부(113)와; 그 화상 표시부(113)의 게이트 라인들과 접속되는 게이트 패드부(114) 및 데이터 라인들과 접속되는 데이터 패드부(115)를 구비한다.
- <76> 상기 박막 트랜지스터 어레이 기판(50)과 컬러필터 기판(60)은 전술한 바와같이 스페이서에 의해 일정하게 이격되도록 셀-캡이 마련되고, 화상 표시부(113)의 외곽에 형성된 실 패턴(seal pattern, 116)에 의해 합착된다.
- <77> 상기 게이트 패드부(114)는 상기 컬러필터 기판(60)에 비해 일측 단변이 돌출된 박막 트랜지스터 어레이 기판(50)의 가장자리 영역에 형성되고, 상기 데이터 패드부(115)는 상기 컬러필터 기판(60)에 비해 일측 장변이 돌출된 박막 트랜지스터 어레이 기판(50)의 가장자리 영역에 형성된다.
- <78> 또한, 상기 게이트 패드부(114)는 게이트 드라이버 집적회로로부터 공급되는 주사 신호를 화상 표시부(113)의 게이트 라인들에 공급하고, 데이터 패드부(115)는 데이터 드

라이버 집적회로로부터 공급되는 화상정보를 화상 표시부(113)의 데이터 라인들에 공급 한다.

<79> 도7은 상기 데이터 패드부(115)의 일부를 보다 상세히 보인 예시도이다.

<80> 도7을 참조하면, 데이터 라인(2,2+1)들이 일정하게 이격되어 열로 배열되고, 데이터 패드(115A,115B)들이 상기 데이터 라인(2,2+1)들의 끝단과 전기적으로 연결되어 있다. 이때, 데이터 패드(115A,115B)들은 각각 일정하게 이격되는 사이드 콘택(side contact, SC1~SC7)들을 구비한다.

<81> 그리고, 도8a 내지 도8c는 상기 도7의 IV-IV'선을 따라 데이터 패드부(115)를 형성하는 순차적인 단면구성을 보인 예시도이다.

<82> 도8a를 참조하면, 박막 트랜지스터 어레이 기판(50)의 상면에 순차적으로 게이트 절연막(30), 액티브층(36), 데이터 라인(2) 및 BCB 등의 유기물질 재질의 보호막(48)을 형성한다. 이때, 게이트 절연막(30), 액티브층(36) 및 데이터 라인(2)은 이미 도2를 참조하여 상세히 설명한 바와같이 박막 트랜지스터의 제작과정에서 형성되며, BCB 등의 유기물질 재질의 보호막(48)은 이미 도4 및 도5를 참조하여 상세히 설명한 바와같이 액정 표시장치의 개구율을 향상시키기 위하여 형성된다.

<83> 그리고, 도8b를 참조하면, 상기 보호막(48)을 식각하여 사이드 콘택홀(SC1'~SC7')들을 형성한다. 이때, 보호막(48)의 식각은 이미 도2를 참조하여 상세히 설명한 바와같이 박막 트랜지스터의 드레인 전극(12)과 화소전극(14)을 접속시키기 위한 드레인 콘택홀(16) 형성과정에서 동시에 이루어지며, BCB 등의 유기물질 재질이 적용됨에 따라 건식 식각 방식이 적용된다.

- <84> 일반적으로, 상기 데이터 라인(2)은 Cr 재질의 도전물질이 적용되었으나, 액정 표시장치가 대형화 및 고해상도화 되어갈수록 데이터 라인(2)의 선폭이 미세해져 저항이 증가되고, 데이터 라인(2)을 통해 전송되는 화상정보의 양이 폭주함에 따라 최근 들어 Cr에 비해 비저항이 작은 Mo 재질의 도전물질을 데이터 라인(2)에 적용하여 화상정보의 전송능력을 향상시키고 있다.
- <85> 그런데, 상기 데이터 라인(2)에 적용되는 Mo 재질의 도전물질은 보호막(48)의 건식식각에 의해 식각이 이루어진다.
- <86> 따라서, 상기 사이드 콘택홀(SC1' ~ SC7')들의 측면에서 Mo 재질의 도전물질이 적용된 데이터 라인(2)과 후술할 화소전극(14)이 전기적으로 접촉하게 된다. 이때, 상기 사이드 콘택홀(SC1' ~ SC7')들의 갯수가 많이 형성될수록 데이터 라인(2)과 화소전극(14)의 접촉면적을 최대한 확보할 수 있게 되어 저항을 줄일 수 있다.
- <87> 또한, 상기 박막 트랜지스터 제작과정에서 형성되는 액티브층(36)도 상기 보호막(48)의 건식 식각에 의해 식각이 이루어진다.
- <88> 따라서, 상기 사이드 콘택홀(SC1' ~ SC7')들의 바닥면에는 상기 Mo 재질의 도전물질이 적용된 데이터 라인(2)과 액티브층(36)이 식각되어 게이트 절연막(30)이 노출된다.
- <89> 그리고, 도8c를 참조하면, 상기 결과물의 상면에 화소전극(14)을 패터닝하여 상기 데이터 라인(2)의 측면과 전기적으로 접촉되는 사이드 콘택(SC1~SC7)들을 형성한다. 이 때, 화소전극(14)의 패터닝은 이미 도2를 참조하여 상세히 설명한 바와같이 단위 화소의 화소전극(14) 패터닝 과정에서 동시에 이루어지며, ITO와 같은 투명 도전물질이 적용된다.

<90> 상기 데이터 패드부(115)에는 후속 프로브(probe) 검사에서 니들(needle)들이 접촉되어 테스트 신호가 인가된다. 즉, 액정 표시패널의 제작이 완료되면, 게이트 패드부와 데이터 패드부를 통해 게이트 라인들과 데이터 라인들에 테스트 신호를 인가하여 화상 표시부에 표시되는 화상을 통해 게이트 라인들과 데이터 라인들의 단선이나 단락 여부를 검사하는 프로브 검사가 실시된다.

<91> 그런데, 종래의 데이터 패드부(115)에는 복수의 사이드 콘택(SD1~SD7)들이 형성되므로, 니들들과 접촉이 원활하게 이루어지지 못하는 문제점이 있다.

<92> 즉, 데이터 패드부(115)는 복수의 사이드 콘택(SD1~SD7)들로 인해 요철을 갖게 된다. 따라서, 니들들이 접촉될 때, 오정렬(misalign)에 따른 미끄러짐에 의해 데이터 패드부(115) 표면에 스크래치(scratch)가 발생되어 데이터 패드부(115)가 파손됨에 따라 액정 표시패널의 불량요인이 되며, 니들들의 파손으로 인한 교체비용이 증대되는 문제점이 있었다.

<93> 또한, 종래의 데이터 패드부(115)는 게이트 절연막(30)으로 적용되는 SiNx나 SiOx 재질은 계면 접착특성이 우수한 반면에 보호막(48)으로 적용되는 BCB 유기물질은 계면 접착특성이 나쁘기 때문에 상기 화소전극(14)이 보호막(48)으로부터 박리(剝離)될 수 있다. 즉, 상기 화소전극(14)은 상기 보호막(48)과 접촉되는 면적이 상기 사이드 콘택홀(SC1'~SC7')의 바닥면에 노출된 게이트 절연막(30)과 접촉되는 면적에 비해 넓기 때문에 보호막(48)으로부터 박리될 가능성이 매우 높다.

<94> 특히, 액정 표시패널의 제작이 완료된 다음 데이터 드라이버 집적회로를 텁(tape-automated bonding : TAB) 방식을 통해 데이터 패드부(115)에 전기적으로 접촉시키는 모듈(module) 공정에서 텁 불량이 발생될 경우 데이터 패드부(115)로부터 텁을 떼

어낼 때, 상기 화소전극(14)이 텁에 접착되어 상기 보호막(48)으로부터 일부 또는 전부 가 박리된다.

<95> 따라서, 데이터 패드부(115)가 파손되어 액정 표시패널의 불량요인이 되는 문제점이 있었다.

<96> 또한, 상기 데이터 패드부(115)로부터 텁을 떼어낼 때, 상기 화소전극(14)과 보호막(48)이 텁에 접착되어 액티브층(36)으로부터 박리될 수 있다.

<97> 한편, 상기 BCB 유기물질 재질로 형성된 보호막(48)의 계면 접착특성을 향상시키기 위하여 보호막(48)으로 상부 SiNx층/BCB층/하부 SiNx층이 적층된 3중구조를 채택할 수 있으나, 이 경우에도 상기 데이터 패드부(115)로부터 텁을 떼어낼 때, 상기 화소전극(14)과 상부 SiNx층이 텁에 접착되어 BCB층으로부터 박리될 수 있으며, 또한 화소전극(14), 상부 SiNx층 및 BCB층이 텁에 접착되어 하부 SiNx층으로부터 박리될 수 있으므로, 데이터 패드부(115)에서는 계면 접착특성이 향상된 효과를 기대할 수 없다.

【발명이 이루고자 하는 기술적 과제】

<98> 따라서, 본 발명은 상기한 바와같은 종래의 문제점을 해결하기 위하여 창안한 것으로, 본 발명의 목적은 액정 표시패널의 데이터 라인으로 Mo 재질의 도전물질이 적용되고, 보호막으로 BCB 재질의 유기물질이 적용된 경우에 데이터 패드부의 파손을 방지하고, 전기적 접촉면적을 확보할 수 있는 액정 표시패널의 데이터 패드부 및 그 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <99> 상기 본 발명의 목적을 달성하기 위한 액정 표시패널의 데이터 패드부는 일정하게 이격되어 열로 배열된 데이터 라인들과; 상기 데이터 라인들과 각각 전기적으로 연결된 데이터 패드들과; 상기 데이터 패드들의 중앙에 구비된 적어도 하나의 제1사이드 콘택과 ; 상기 데이터 패드들의 데이터 라인들과 연결되는 가장자리 및 데이터 패드들의 끝단 가장자리에 각각 구비되며, 상기 제1사이드 콘택에 비해 면적이 작은 적어도 하나의 제2 사이드 콘택을 구비하여 구성되는 것을 특징으로 한다.
- <100> 상기 본 발명의 목적을 달성하기 위한 액정 표시패널의 데이터 패드부 제조방법은 기판의 데이터 패드부가 형성될 영역에 순차적으로 게이트 절연막, 액티브층, 데이터 라인 및 보호막을 형성하는 공정과; 상기 보호막을 건식 식각하여 데이터 패드부의 중앙에 적어도 하나의 제1사이드 콘택홀을 형성하고, 데이터 패드부의 양측 가장자리에 각각 상기 제1사이드 콘택홀에 비해 면적이 작은 적어도 하나의 제2사이드 콘택홀을 형성하는 단계와; 상기 결과물의 상면에 화소전극을 패터닝하여 상기 제1사이드 콘택홀에서 데이터 라인과 화소전극을 전기적으로 접촉시키는 적어도 하나의 제1사이드 콘택을 형성하고, 또한 상기 제2사이드 콘택홀에서 데이터 라인과 화소전극을 전기적으로 접촉시키는 적어도 하나의 제2사이드 콘택을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.
- <101> 상기한 바와같은 본 발명에 의한 액정 표시패널의 데이터 패드부 및 그 제조방법을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.
- <102> 도9는 본 발명의 제1실시예에 따른 액정 표시패널의 데이터 패드부에 대한 평면구성을 보인 예시도이다.

- <103> 도9를 참조하면, 데이터 라인(202, 202+1)들이 일정하게 이격되어 열로 배열되고, 데이터 패드(215A, 215B)들이 상기 데이터 라인(202, 202+1)들과 전기적으로 연결되어 있다. 이때, 데이터 패드(215A, 215B)들의 중앙에는 제1사이드 콘택(SC11)이 각각 구비되고, 그 데이터 패드(215A, 215B)들의 상단 및 하단(즉, 상기 데이터 라인(202, 202+1)들과 연결되는 가장자리 및 데이터 패드(215A, 215B)들의 끝단 가장자리)에는 각각 상기 제1사이드 콘택(SC11)에 비해 면적이 작은 복수의 제2사이드 콘택(SC12~SC15)들이 일정하게 이격되어 구비된다.
- <104> 상기 복수의 제2사이드 콘택(SC12~SC15)들에 비해 면적이 넓게 형성되는 제1사이드 콘택(SC11)은 상기 데이터 패드(215A, 215B)들을 구성하는 막들의 물리적 접착면적을 최대한 확보하여 후속 모듈 공정에서 텁 불량에 따라 데이터 패드부로부터 텁을 떼어낼 때, 데이터 패드부에 형성된 막들이 박리되는 현상을 방지한다.
- <105> 일정하게 이격되어 상기 제1사이드 콘택(SC11)에 비해 면적이 작게 형성되는 복수의 제2사이드 콘택(SC12~SC15)들은 상기 데이터 패드(215A, 215B)들을 구성하는 막들의 사이드 접촉면적을 최대한 확보하여 데이터 패드부의 전기적 접촉저항이 증가되는 것을 방지한다.
- <106> 도10a 내지 도10c는 상기 도9의 V-V' 선을 따라 데이터 패드부를 형성하는 순차적인 단면구성을 보인 예시도이다.
- <107> 도10a를 참조하면, 데이터 패드부가 형성될 기판(250)의 상면에 순차적으로 게이트 절연막(230), 액티브층(236), 데이터 라인(202) 및 BCB 유기물질 재질의 보호막(248)을 형성한다.

<108> 상기 기판(250)은 대향 합착되어 액정 표시패널을 이루는 박막 트랜지스터 어레이 기판과 컬러필터 기판 중에 박막 트랜지스터 어레이 기판이 적용된다.

<109> 상기 박막 트랜지스터 어레이 기판은 일측 단면 및 일측 장면이 상기 컬러필터 기판에 비해 돌출되며, 그 돌출된 영역에 게이트 패드부와 데이터 패드부가 형성된다.

<110> 따라서, 상기 기판(250)에는 일정하게 이격되어 행으로 배열되는 게이트 라인들과 일정하게 이격되어 열로 배열되는 데이터 라인들이 교차하고, 단위 화소가 매트릭스 형태로 배열되는 화상 표시부와; 그 화상 표시부의 게이트 라인들 및 데이터 라인들과 접속되는 게이트 패드부 및 데이터 패드부가 구비된다.

<111> 또한, 상기 기판(250)의 단위 화소에는 데이터 라인들을 통해 공급되는 화상정보를 화소별로 스위칭하기 위하여 박막 트랜지스터가 형성된다.

<112> 따라서, 상기 게이트 절연막(230), 액티브층(236) 및 데이터 라인(202)은 상기 기판(250)의 단위 화소에 박막 트랜지스터를 형성하는 과정에서 기판(250)의 데이터 패드부에 동시에 형성되며, 상기 BCB 유기물질 재질의 보호막(248)은 전술한 바와같이 액정 표시패널의 개구율을 향상시키기 위하여 적용된다.

<113> 그리고, 도10b를 참조하면, 상기 보호막(248)을 식각하여 데이터 패드부의 중앙에는 제1사이드 콘택홀(SC11')을 형성하고, 아울러 데이터 패드부의 양측 가장자리에는 각각 제1사이드 콘택홀(SC11')에 비해 면적이 작은 복수의 제2사이드 콘택홀(SC12' ~ SC15')들을 형성한다. 이때, 보호막(248)의 식각은 전술한 바와같이 박막 트랜지스터의 드레인 전극과 화소전극을 접속시키기 위한 드레인 콘택홀 형성과정에서 동시에 이루어지며, 보호막(248)으로 BCB 유기물질 재질이 적용됨에 따라 건식 식각방식이 적용된다.

<114> 상기 데이터 라인(202)은 전술한 바와같이 액정 표시장치가 대형화 및 고해상도화 되어 감에 따라 Cr에 비해 비저항이 작은 Mo 재질의 도전물질이 적용되며, 그 데이터 라인(202)에 적용되는 Mo 재질의 도전물질은 상기 보호막(248)의 견식 식각에 의해 식각이 이루어진다.

<115> 따라서, 상기 제1사이드 콘택홀(SC11')과 제2사이드 콘택홀(SC12' ~ SC15')들의 측면에서는 Mo 재질의 도전물질이 적용된 데이터 라인(202)과 후술할 화소전극(214)이 전기적으로 접촉되며, 상기 제1사이드 콘택홀(SC11')과 제2사이드 콘택홀(SC12' ~ SC15')들의 바닥면에서는 상기 Mo 재질의 도전물질이 적용된 데이터 라인(202)과 액티브층(236)이 식각되어 게이트 절연막(230)이 노출된다.

<116> 그리고, 도10c를 참조하면, 상기 결과물의 상면에 화소전극(214)을 패터닝하여 상기 제1사이드 콘택홀(SC11')에서 상기 데이터 라인(202)의 측면과 전기적으로 접촉되며, 노출된 게이트 절연막(230)의 상면과 물리적으로 접촉되는 제1사이드 콘택(SC11)을 형성하고, 상기 복수의 제2사이드 콘택홀(SC12' ~ SC15')에서 상기 데이터 라인(202)의 측면과 전기적으로 접촉되며, 노출된 게이트 절연막(230)의 상면과 물리적으로 접촉되는 복수의 제2사이드 콘택(SC12 ~ SC15)들을 형성한다. 이때, 화소전극(214)의 패터닝은 전술한 바와같이 단위 화소에서 화소전극(214)을 패터닝하는 과정에서 동시에 이루어지며, ITO와 같은 투명 도전물질이 적용된다.

<117> 상기 제1사이드 콘택(SC11)은 복수의 제2사이드 콘택(SC12 ~ SC15)에 비해 면적이 넓게 형성됨으로써, 상기 화소전극(214)과 계면 접착특성이 우수한 게이트 절연막(230)의 접촉면적을 넓게 확보하여 화소전극(214)과 게이트 절연막(230)의 물리적 접착력을 강화시킨다.

<118> 상기 일정하게 이격되는 복수의 제2사이드 콘택(SC12~SC15)들은 상기 제1사이드 콘택(SC11)에 비해 면적이 작게 형성됨으로써, 상기 데이터 라인(202)과 화소전극(214)의 사이드 접촉면적을 최대한 확보하여 전기적 접촉저항을 줄일 수 있게 된다.

<119> 따라서, 프로브 검사에서 니들들이 상기 제2사이드 콘택(SC12~SC15)들에 비해 넓은 면적을 갖는 제1사이드 콘택(SC11)과 접촉되도록 한다.

<120> 따라서, 상기 니들들과 제1사이드 콘택(SC11)의 정렬 마진이 확보되므로, 종래에서 와 같이 니들들의 오정렬에 따른 미끄러짐에 의해 데이터 패드부의 표면에 스크래치가 발생되는 것을 방지할 수 있으며, 니들들의 파손을 방지할 수 있게 된다.

<121> 또한, 상기 화소전극(214)은 상기 제2사이드 콘택(SC12~SC15)들에 비해 넓은 면적을 갖는 제1사이드 콘택(SC11)의 바닥면에서 계면 접착특성이 우수한 SiNx나 SiOx 재질의 게이트 절연막(230)과 접촉되는 면적이 넓게 확보된다.

<122> 따라서, 화소전극(214)의 물리적 접착력이 강화되므로, 종래에서와 같이 화소전극(214)이 계면 접착특성이 나쁜 BCB 유기물질의 보호막(248)으로부터 박리되는 현상을 방지할 수 있게 된다.

<123> 특히, 액정 표시패널의 제작이 완료된 다음 데이터 드라이버 집적회로를 텁 방식을 통해 데이터 패드부에 전기적으로 접촉시키는 모듈 공정에서 텁 불량이 발생될 경우 데이터 패드부로부터 텁을 떼어낼 때, 상기 화소전극(214)이 텁에 접착되어 상기 보호막(248)으로부터 일부 또는 전부가 박리되는 현상을 방지할 수 있게 된다.

<124> 또한, 상기 데이터 패드부로부터 텁을 떼어낼 때, 상기 화소전극(214)과 보호막(248)이 텁에 접착되어 액티브층(236)으로부터 박리되는 현상을 방지할 수 있게 된다.

<125> 도11은 본 발명의 제2실시예에 따른 액정 표시패널의 데이터 패드부에 대한 평면구성을 보인 예시도이다.

<126> 도11을 참조하면, 데이터 라인(302, 302+1)들이 일정하게 이격되어 열로 배열되고, 데이터 패드(315A, 315B)들이 상기 데이터 라인(302, 302+1)들과 전기적으로 연결되어 있다. 이때, 데이터 패드(315A, 315B)들의 중앙에는 일정하게 이격되는 2개의 제1사이드 콘택(SC21, SC31)들이 각각 구비되고, 데이터 패드(315A, 315B)들의 상단 및 하단(즉, 상기 데이터 라인(302, 302+1)들과 연결되는 가장자리 및 데이터 패드(315A, 315B)들의 끝단 가장자리)에는 각각 2개의 제1사이드 콘택(SC21, SC31)들에 비해 면적이 작은 복수의 제2사이드 콘택(SC22~SC25)들이 일정하게 이격되어 구비된다.

<127> 상기 본 발명의 제2실시예에 따른 액정 표시패널의 데이터 패드부는 본 발명의 제1실시예와 비교하여 상기 복수의 제2사이드 콘택(SC22~SC25)들에 비해 면적이 넓게 형성되는 2개의 제1사이드 콘택(SC21, SC31)들이 구비된다.

<128> 따라서, 본 발명의 제2실시예에 따른 액정 표시패널의 데이터 패드부는 상기 2개의 제1사이드 콘택(SC21, SC31)들을 통해 상기 데이터 패드(315A, 315B)들을 구성하는 막들의 물리적 접착면적을 최대한 확보하면서, 상기 데이터 패드(315A, 315B)들을 구성하는 막들의 사이드 접촉면적을 본 발명의 제1실시예에 비해 증가시켜 전기적 접촉저항을 보다 감소시킬 수 있게 된다.

<129> 한편, 상기 본 발명의 제2실시예에서는 복수의 제2사이드 콘택(SC22~SC25)들에 비해 면적이 넓게 형성되는 2개의 제1사이드 콘택(SC21, SC31)들이 구비되는 경우를 한정하여 설명하였으나, 상기 데이터 패드(315A, 315B)들을 구성하는 막들의 물리적 접착면적

및 전기적 접촉면적을 고려하여 상기 제1사이드 콘택(SC21,SC31)들을 복수개로 형성할 수 있다.

<130> 도12는 본 발명의 제3실시예에 따른 액정 표시패널의 데이터 패드부에 대한 단면구성을 보인 예시도이다.

<131> 도12를 참조하면, 보호막(348)으로 SiNx층(247)/BCB층(248)/SiNx층(249)의 3중 적층구조를 적용한 것을 제외하면, 상기 도10c의 단면구성과 동일하며, 동일한 구성요소에 대해 동일한 참조번호로 표시하였다.

<132> 종래에는 상기 보호막(348)으로 SiNx층(247)/BCB층(248)/SiNx층(249)의 3중 적층구조를 적용하여 계면 접착특성을 향상시키더라도 데이터 패드부로부터 불량 텁을 떼어낼 때, 화소전극(214)과 SiNx층(249)이 텁에 접착되어 BCB층(248)으로부터 박리될 수 있으며, 또한 화소전극(214), SiNx층(249) 및 BCB층(248)이 텁에 접착되어 SiNx층(247)으로부터 박리될 수 있으므로, 데이터 패드부에서는 계면 접착특성이 향상된 효과를 기대할 수 없었다.

<133> 그러나, 본 발명의 제3실시예에 따른 액정 표시패널의 데이터 패드부는 복수의 제2사이드 콘택(SC12~SC15)에 비해 면적이 넓게 형성된 제1사이드 콘택(SC11)의 바닥면에서 상기 화소전극(214)과 계면 접착특성이 우수한 SiNx나 SiOx 재질의 게이트 절연막(230)과 접촉됨에 따라 화소전극(214)의 물리적 접착력이 강화된다.

<134> 따라서, 전술한 바와같이 데이터 패드부로부터 불량 텁을 떼어낼 때, 화소전극(214)과 SiNx층(249)이 텁에 접착되어 BCB층(248)으로부터 박리되는 것을 방지할 수 있으며, 또한 화소전극(214), SiNx층(249) 및 BCB층(248)이 텁에 접착되어 SiNx층(247)으

로부터 박리되는 것을 방지할 수 있으므로, 액정 표시패널의 전체 영역에서 보호막(348)으로 SiNx층(247)/BCB층(248)/SiNx층(249)의 3중 적층구조를 적용하여 계면 접착특성을 향상시킬 수 있게 된다.

【발명의 효과】

<135> 상술한 바와같이 본 발명에 의한 액정 표시장치의 데이터 패드부 및 그 제조방법은 데이터 패드부의 중앙에 제1사이드 콘택을 넓게 형성하여 데이터 패드들을 구성하는 막들의 물리적 접착면적을 최대한 확보하고, 상기 데이터 패드부의 가장자리에 제1사이드 콘택에 비해 면적이 작은 복수의 제2사이드 콘택들을 일정하게 이격되도록 형성하여 데이터 패드들을 구성하는 막들의 전기적 접촉면적을 최대한 확보한다.

<136> 따라서, 액정 표시패널의 모듈 공정에서 텁 불량에 따라 데이터 패드부로부터 텁을 떼어낼 때, 데이터 패드부에 형성된 막들이 박리되는 현상을 방지하여 액정 표시패널의 불량요인을 감소시킬 수 있는 효과가 있고, 또한 데이터 패드부의 전기적 접촉저항이 증가되는 것을 방지하여 액정 표시패널의 화질 저하를 방지할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

일정하게 이격되어 열로 배열된 데이터 라인들과; 상기 데이터 라인들과 각각 전기적으로 연결된 데이터 패드들과; 상기 데이터 패드들의 중앙에 구비된 적어도 하나의 제1사이드 콘택과; 상기 데이터 패드들의 데이터 라인들과 연결되는 가장자리 및 데이터 패드들의 끝단 가장자리에 각각 구비되며, 상기 제1사이드 콘택에 비해 면적이 작은 적어도 하나의 제2사이드 콘택을 구비하여 구성되는 것을 특징으로 하는 액정 표시패널의 데이터 패드부.

【청구항 2】

기판의 데이터 패드부가 형성될 영역에 순차적으로 게이트 절연막, 액티브층, 데이터 라인 및 보호막을 형성하는 공정과; 상기 보호막을 건식 식각하여 데이터 패드부의 중앙에 적어도 하나의 제1사이드 콘택홀을 형성하고, 데이터 패드부의 양측 가장자리에 각각 상기 제1사이드 콘택홀에 비해 면적이 작은 적어도 하나의 제2사이드 콘택홀을 형성하는 단계와; 상기 결과물의 상면에 화소전극을 패터닝하여 상기 제1사이드 콘택홀에서 데이터 라인과 화소전극을 전기적으로 접촉시키는 적어도 하나의 제1사이드 콘택을 형성하고, 또한 상기 제2사이드 콘택홀에서 데이터 라인과 화소전극을 전기적으로 접촉시키는 적어도 하나의 제2사이드 콘택을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정 표시패널의 데이터 패드부 제조방법.

【청구항 3】

제 2 항에 있어서, 상기 보호막은 유기물질로 형성된 것을 특징으로 하는 액정 표시패널의 데이터 패드부 제조방법.

【청구항 4】

제 2 항에 있어서, 상기 보호막은 BCB(benzocyclobutene)로 형성된 것을 특징으로 하는 액정 표시패널의 데이터 패드부 제조방법.

【청구항 5】

제 2 항에 있어서, 상기 보호막은 $\text{SiNx}^{\text{층}}/\text{BCB}(\text{benzocyclobutene})^{\text{층}}/\text{SiNx}^{\text{층}}$ 의 3층 적층구조로 형성된 것을 특징으로 하는 액정 표시패널의 데이터 패드부 제조방법.

【청구항 6】

제 2 항에 있어서, 상기 데이터 라인은 Mo 재질의 금속물질로 형성된 것을 특징으로 하는 액정 표시패널의 데이터 패드부 제조방법.

【청구항 7】

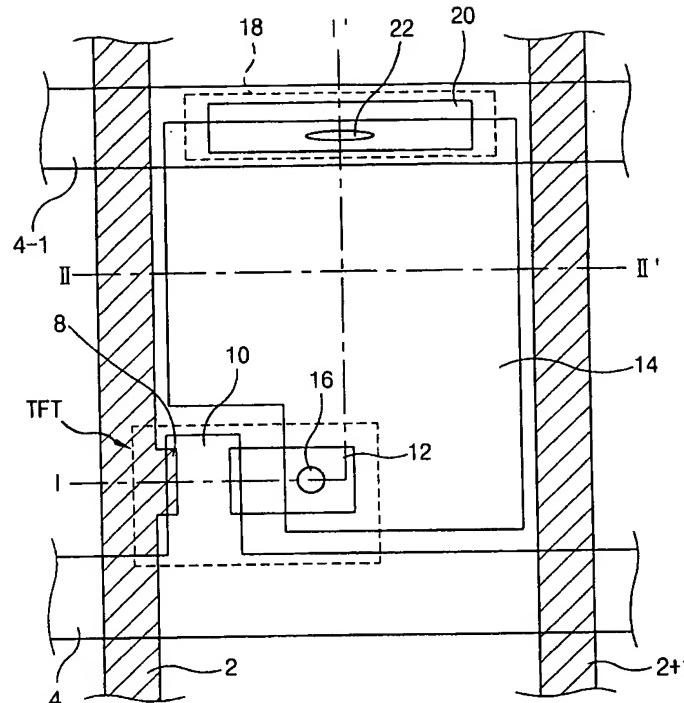
제 2 항에 있어서, 상기 보호막의 건식 식각에 의해 상기 데이터 라인 및 액티브층이 식각되는 것을 특징으로 하는 액정 표시패널의 데이터 패드부 제조방법.

【청구항 8】

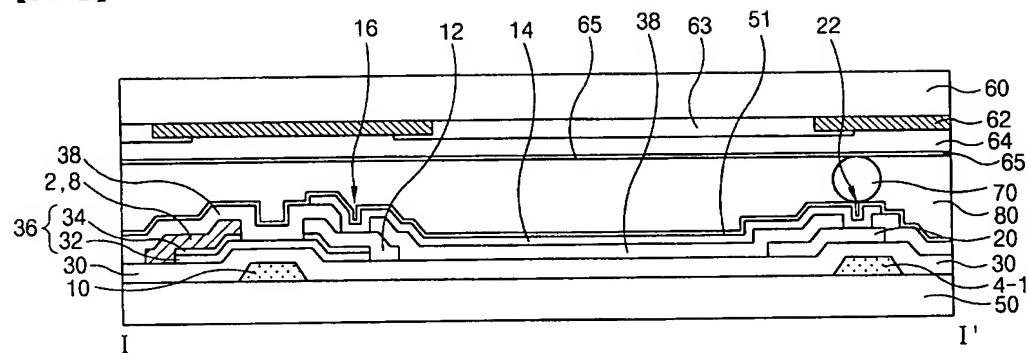
제 2 항에 있어서, 상기 보호막의 건식 식각에 의해 상기 제1사이드 콘택홀과 제2 사이드 콘택홀의 바닥면에 게이트 절연막이 노출되는 것을 특징으로 하는 액정 표시패널의 데이터 패드부 제조방법.

【도면】

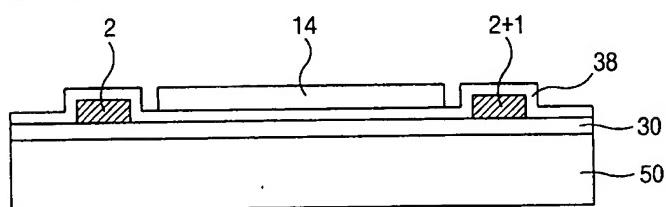
【도 1】



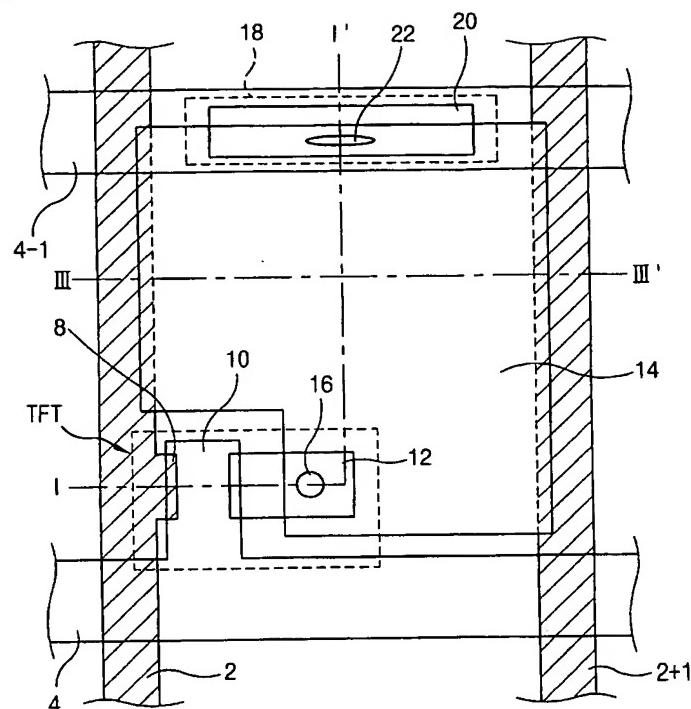
【도 2】



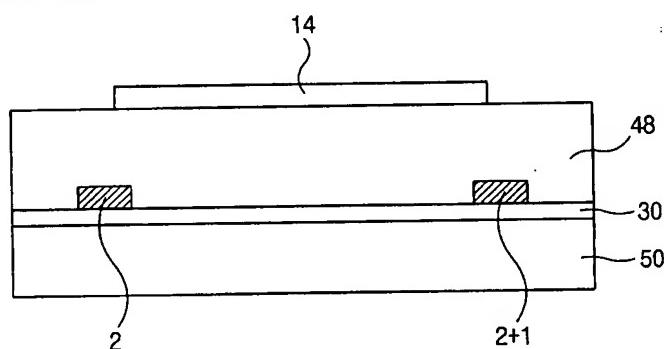
【도 3】



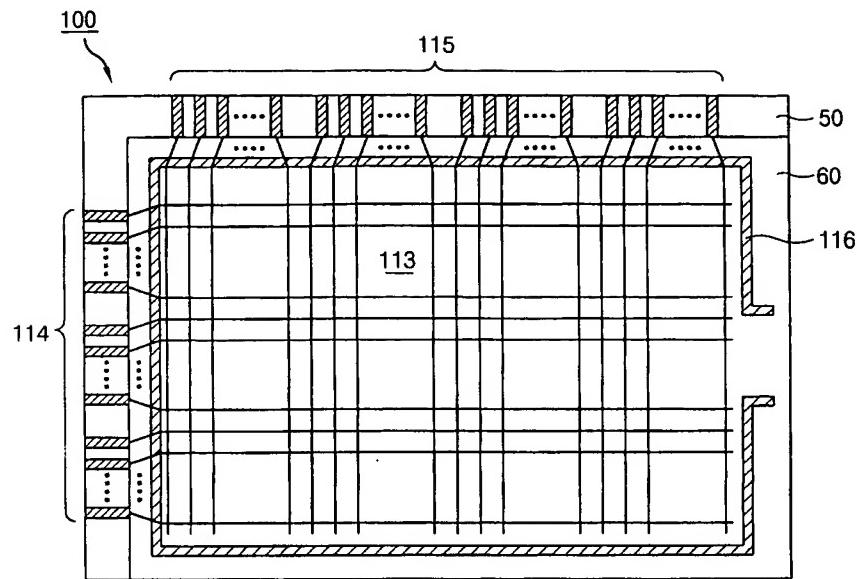
【도 4】



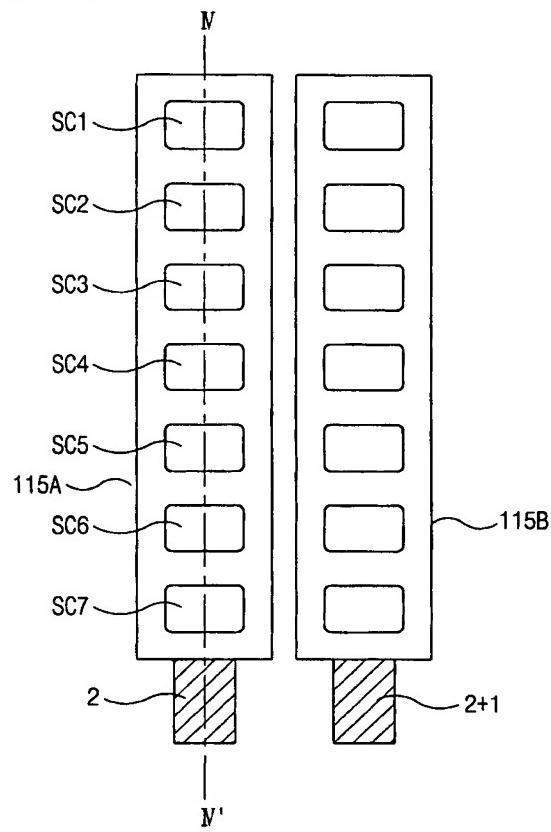
【도 5】



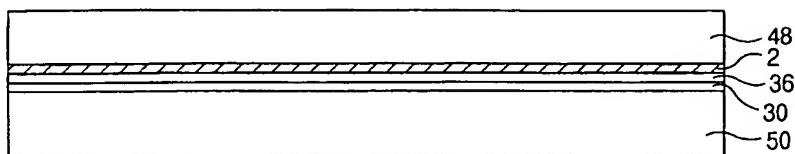
【도 6】



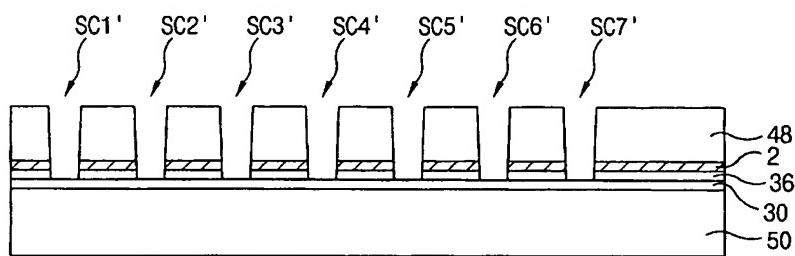
【도 7】



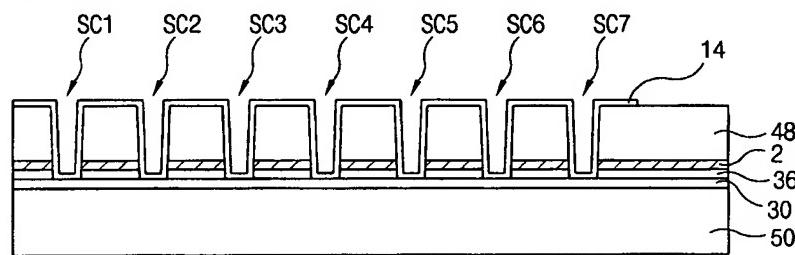
【도 8a】



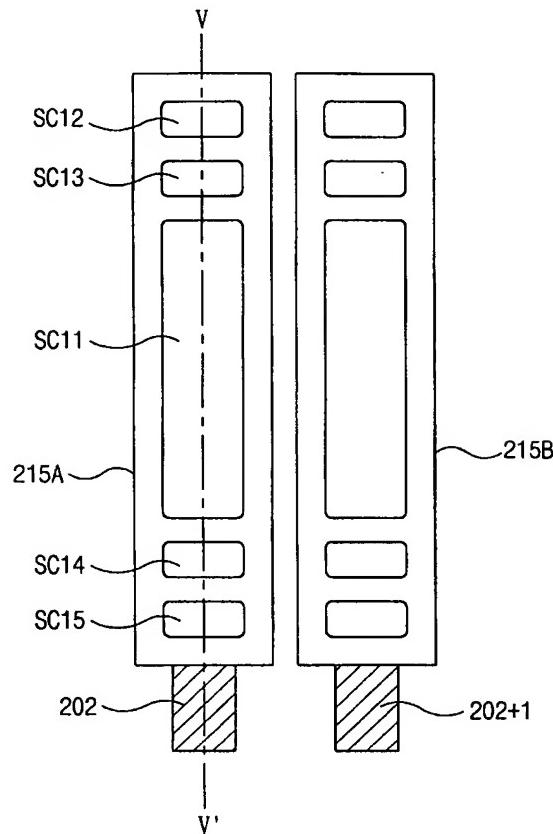
【도 8b】



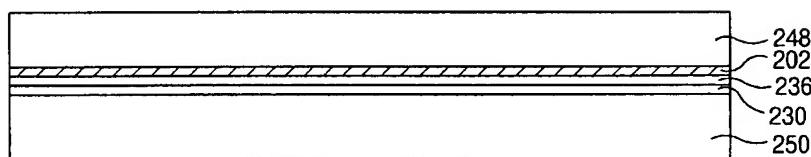
【도 8c】



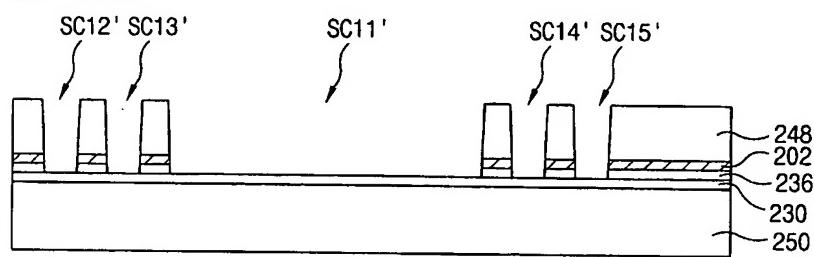
【도 9】



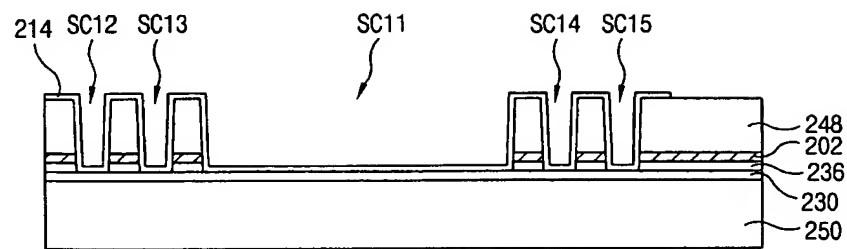
【도 10a】



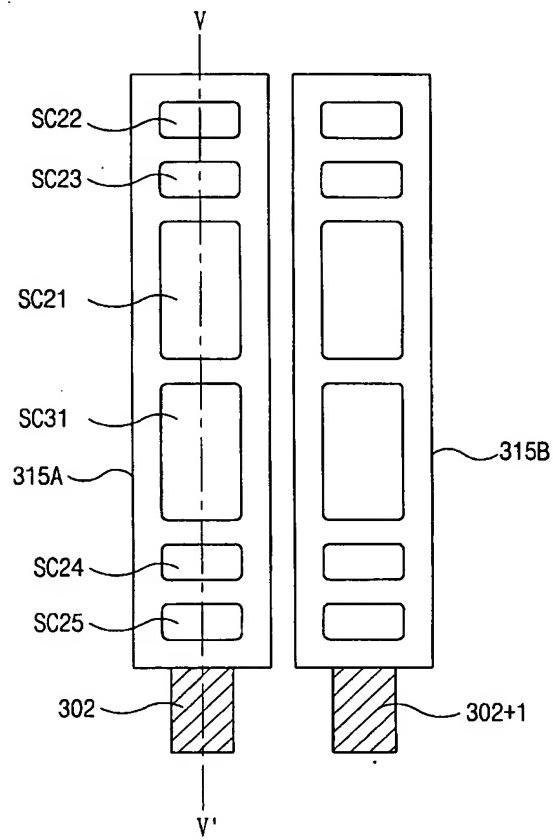
【도 10b】



【도 10c】



【도 11】



【도 12】

